

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-216465

(43)公開日 平成5年(1993)8月27日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 5/36		9177-5G		
G 0 6 F 3/153	3 3 6 B	9188-5B		
G 0 9 G 5/00	M	8121-5G		

審査請求 未請求 請求項の数1(全 9 頁)

(21)出願番号 特願平4-17866

(22)出願日 平成4年(1992)2月3日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 松田 文男

尼崎市塚口本町8丁目1番1号 三菱電機
株式会社産業システム研究所内

(72)発明者 尾崎 稔

尼崎市塚口本町8丁目1番1号 三菱電機
株式会社産業システム研究所内

(74)代理人 弁理士 曾我 道照 (外6名)

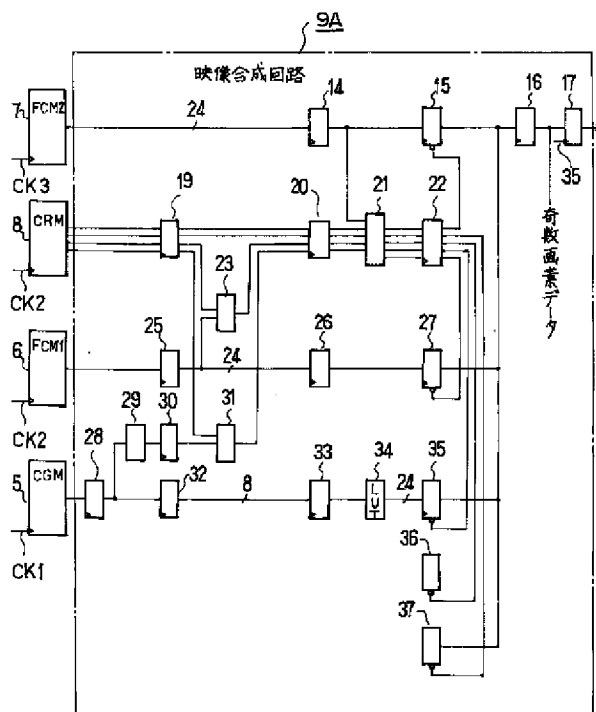
(54)【発明の名称】 画像表示装置

(57)【要約】

【目的】 合成する部分の時間調整用のラッチの段数を少なくすることを目的とする。

【構成】 デュアルポートメモリ5～8で構成される複数の面を合成する装置において、透明色判定等を行う時に、デュアルポートメモリの読み出しクロック1サイクルで透明色判定等の処理ができないので、デュアルポートメモリから読み出した画素データをラッチ14、15、16、…で遅延させる必要がある。このため、透明判定等の処理の必要の無い画素データは合成されるまで単に遅延するためにラッチが必要であった。透明判定等の処理の必要のない面のデュアルポートメモリの読み出しクロックのタイミングを遅らせることにより、画素データのラッチによる遅延処理を不要にした。

【効果】 ラッチ数を減らしたことにより、基板面積を小さくできたり、発熱を抑えたりすることができる。



【特許請求の範囲】

【請求項1】 デュアルポートメモリで構成される複数のフレームメモリのそれぞれに対して表示制御を行い、この表示制御によって生じる遅延時間に応じて前記デュアルポートメモリ毎に異なるシリアルアクセスポート出力の読み出しクロックを発生する表示制御手段、及び前記読み出しクロックに基づいて前記複数のフレームメモリのシリアルアクセスポートの出力を合成する映像合成手段を備えたことを特徴とする画像表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、複数の画像を重ね合わせて表示する画像表示装置に関するものである。

【0002】

【従来の技術】 従来の画像表示装置の構成を図4及び図5を参照しながら説明する。図4は従来の画像表示装置を示すブロック図、図5は従来の画像表示装置の映像合成回路を示す回路図である。

【0003】 図4において、1はCPU、3はシステムバス2を通じてCPU1に接続され、表示タイミングの発生と描画コントロールを行うCRTコントローラ（CRTC）、5は8ビットのルックアップテーブルを持ったグラフィック面のフレームメモリ（CGM）、6及び7は1画素RGB各8ビットのフルカラーメモリ面のフレームメモリ（FCM1及びFCM2）、8はFCM1、FCM2及びCGMの画素単位の表示優先順位及びカーソルを表示するための面を持ったコントロール面のフレームメモリ（CRM）、9はCRMの情報により画素単位にFCM1、FCM2、CGMのいずれかを選択する映像合成回路、10は合成されたデジタルデータをアナログ信号に変換するD/Aコンバータ、11は画像を表示するためのCRTである。フレームメモリ5～8はデュアルポートメモリから構成されている。

【0004】 画像表示装置は、1画素RGB各8ビットのフルカラーメモリ面が2面（FCM1、FCM2）と、8ビットのルックアップテーブルを持ったグラフィック面が1面（CGM）を持ち、画素単位にFCM1、FCM2、CGMのそれぞれの透明／不透明とカーソル表示のコントロールにより合成表示できる。

【0005】 CPU1は、システムバス2を通じてCRTC3に表示タイミングの設定及び描画命令を出す。CRTC3はCPU1の命令により、イメージバス4を通じて表示タイミングを発生させたり、FCM1等にデータのアクセスを行う。フレームメモリ5～8はデュアルポートメモリから構成されている。このデュアルポートメモリは、ランダムアクセス用のポートとシリアルアクセス用のポートを備えたメモリである。図4では、ランダムアクセスポートをイメージバス4側に、シリアルアクセスポートを映像合成回路9側に接続する構成としている。

【0006】 ランダムアクセスポートからは、データのリード／ライトアクセスの他に、シリアルアクセスポートに出すべきデータの先頭アドレスの指定を行う。シリアルアクセスポートのデータは、有効画素数分のバースト状の表示系のクロックで読み出される。

【0007】 図5では、偶数画素のデータの流れを示しており、ラッチ12、13、16、18、19、20、22、24、25、26、27、28、30、32、33、及び35は、表示画素クロックの1/2のクロックで動作している。CGMのシリアルアクセスポートから表示画素クロックの1/2のクロックで読み出された画素データは、一旦ラッチ28でラッチされ、その画素データは透明色かどうかの比較が透明判定部29で行われる。

【0008】 CGMの透明色が判定されたデータは、ラッチ30でラッチ後、CGMのCGM面コントロールビットによりさらに31で透明判定される。これは、CGM面のウインドウ表示をする場合に、CGM面の一部を透明にするために、CGM面コントロールビットを透明に指定することがあるからである。CGM面の最終的に透明色判定された結果は、ラッチ20でラッチされ、FCM1、FCM2の透明色判定結果と共に、出力判定部21に入力される。

【0009】 FCM1、FCM2の透明色判定は、それぞれのRの最下位ビットが1か0で行うものとしている。これは、FCM1のようなRGB各8ビットのデータでの透明色の指定では、RGB各8ビット（合計24ビット）のデータ全てを比較して透明色としてもあまり意味がないからである。

【0010】 出力判定部21へは、上記の透明判定結果の他に、FCM2面コントロールビット、カーソルビット、各面の表示／非表示等、表示モード（インタレース／ノンインタレース等）の情報が入力される。出力判定結果は、FCM1、FCM2、CGM、カーソル面、ラスト面のいずれかがアクティブになり、ラッチ22でラッチされる。出力判定結果は、ラッチ15、27、35、36、37のアウトプットイネーブルに入力され、ある画素データのみがラッチ16でラッチされる。ラッチ16までは偶数画素のデータの流れを示しており、ラッチ16のアウトプットイネーブルを画素単位に切り換えることにより、ラッチ17は表示画素単位のデータをラッチできる。

【0011】 ここで、必要なラッチの段数について考えてみる。1024×768画素ノンインタレースの表示では、表示クロックが約65MHz（15.4ns/画素）となる。ラッチをTTL素子AS574にした場合、AS574のセットアップタイム及びホール度タイム（合計6ns）を満足すると約9nsで出力判定等を行わなければならない。出力判定では、さきに述べたように9種類程度の情報が入力されるので、TTL素

子によるランダムロジックで処理は不可能である。また、プログラマブルアレイロジック（PAL）のBバージョン（15 n秒）でも処理不可能である。

【0012】そこで、偶数画素と奇数画素の2系統に分けて、表示クロックの1/2のクロックで処理を行うことにした。これにより、約30 n秒/画素で出力判定を行えばよく、処理自体はPALのBバージョンで可能となる。また、PALは入力ピンの本数に制限があるので、FCM1の透明判定部23とCGMの透明判定部29はさらに前段で処理を行うようにしている。

【0013】図5の構成で、ラッチ（AS574）の数を計算すると以下ようになる。

FCM1 → $4 \times 3 \times 2$
 FCM2 → $4 \times 3 \times 2$
 CGM → $(3+3) \times 2$
 CRM → 4
 合成後 → 3×2
 最終 → 3
 合計 → 70（個）

【0014】

【発明が解決しようとする課題】 上述したような従来の画像表示装置では、図5に示すように、ラッチする段数を多くしなければならないという問題点があった。

【0015】この発明は、前述した問題点を解決するためになされたもので、ラッチする段数を少なくすることができ画像表示装置を得ることを目的とする。

【0016】

【課題を解決するための手段】 この発明に係る画像表示装置は、次に掲げる手段を備えたものである。

〔1〕 デュアルポートメモリで構成される複数のフレームメモリのそれぞれに対して表示制御を行い、この表示制御によって生じる遅延時間に応じて前記デュアルポートメモリ毎に異なるシリアルアクセスポート出力の読み出しクロックを発生する表示制御手段。

〔2〕 前記読み出しクロックに基づいて前記複数のフレームメモリのシリアルアクセスポートの出力を合成する映像合成手段。

【0017】

【作用】 この発明においては、表示制御手段によって、デュアルポートメモリで構成される複数のフレームメモリのそれぞれに対して表示制御が行われ、この表示制御によって生じる遅延時間に応じて前記デュアルポートメモリ毎に異なるシリアルアクセスポート出力の読み出しクロックが発生される。また、映像合成手段によって、前記読み出しクロックに基づいて前記複数のフレームメモリのシリアルアクセスポートの出力が合成される。

【0018】

【実施例】

実施例1. この発明の実施例1の構成を図1及び図2を参照しながら説明する。図1はこの発明の実施例1を示

すブロック図であり、映像合成回路9A以外は従来装置と同様である。図2はこの発明の実施例1の映像合成回路を示す回路図である。なお、各図中、同一符号は同一又は相当部分を示す。

【0019】図2において、34はルックアップテーブル（LUT）であり、CGMは最終的にこのルックアップテーブル34によりRGB各8ビットのデータとなる。29はCGMの透明色の透明判定部、31は透明色判定結果とCGM用コントロールビットによりCGMの透明不透明を判定する部分、23はFCM1のRのLSBとFCM1用コントロールビットによりFCM1の透明不透明を判定する部分である。FCM1のようなRGB各8ビットのデータでの透明色の指定では、RGB各8ビット（合計24ビット）のデータ全てを比較して透明色としてもあまり意味がないので、RのLSBが1か0で透明色とするようにした。

【0020】また、21はFCM2のRのLSBとFCM2用コントロールビットによりFCM2の透明不透明の判定を行うと共に、CGMとFCM1の透明判定結果と各面の表示非表示、優先順位よりラスタ、カーソルを含めどの面を表示するかを判定する出力判定部である。36及び37はそれぞれカーソル色、ラスタ色を表示するレジスタ、17は表示クロックで動作するラッチである。

【0021】つぎに、前述した実施例1の動作を図3を参照しながら説明する。図3は、この発明の実施例1の動作を示すタイミングチャートである。

【0022】CGMの画素データを読み出すクロックCK1は、表示クロックの1/2のクロックCKHに有効画素数の期間だけマスクするため、クロックCKHより遅れる。これは、表示クロックが高速であるとき（約65 MHz）、クロックCK1で読み出されたデータを処理している間にクロックCKHでラッチできないことが起こる。そこで、図3（d）で示すように、クロックCKHで一旦ラッチし直ししている。ラッチし直された出力のタイミングを図3（d）に示す。以降、図3（h）に示す面合成までクロックCKHで各処理が進む。

【0023】図3（d）～（h）に示す波形は、それぞれ図2のラッチ28、ラッチ30、ラッチ20、ラッチ22及びラッチ16の出力のタイミングを示している。FCM1のRの読み出しはFCM1の透明不透明判定結果で必要なため、図3（k）で示すタイミングとなる。以下、同様に、CRM、FCM2のR、FCM1及びFCM2のGBの読み出しクロックのタイミングは、それぞれ図3（k）、（l）、（m）に示すようになる。クロックCK1、CK2、CK3、CK4は、それぞれクロックCKHに所望の期間有効になるような4種類のゲートをかけることにより得られる。面合成されたデータのラッチ16のアウトプットイネーブルをコントロール

して、図3（j）の表示クロックでラッチされた結果が画素単位である図3（i）で示すタイミングとなる。

【0024】ここで、図2の構成で、ラッチ（AS574）の数を計算すると以下のようになる。

FCM1-R	→	3×2
FCM1-GB	→	$1 \times 2 \times 2$
FCM2-R	→	2×2
FCM2-GB	→	$1 \times 2 \times 2$
CGM	→	$(3+3) \times 2$
CRM	→	3
合成後	→	3×2
最終	→	3
合計	→	39（個）

これは、従来例で示したラッチの数の56%になる。

【0025】この発明の実施例1は、前述したように、デュアルポートメモリのシリアルアクセスポートからの読み出しクロックのタイミングを表示面毎に異なるように制御することにより、合成直前まで処理の不必要なデータに関して、ラッチする段数を少なくすることができるという効果を奏する。また、装置を安価に製作でき、消費電力の低い装置を得ることができる。

【0026】すなわち、実施例1は複数の面を合成して表示する画像表示装置において、合成する部分の時間調整用のラッチの段数を少なくすることを目的とする。デュアルポートメモリ5～8で構成される複数の面を合成する装置において、透明色判定等を行う時に、デュアルポートメモリの読み出しクロック1サイクルで透明色判定等の処理ができないので、デュアルポートメモリから読み出した画素データをラッチ14、15、16、…で遅延させる必要がある。このため、透明判定等の処理の必要の無い画素データは合成されるまで単に遅延するためにラッチが必要であった。透明判定等の処理の必要のない面のデュアルポートメモリの読み出しクロックのタイミングを遅らせることにより、画素データのラッチに

よる遅延処理を不要にした。従って、ラッチ数を減らしたことにより、基板面積を小さくできたり、発熱を抑えたりすることができるという効果を奏する。

【0027】

【発明の効果】この発明は、以上説明したとおり、デュアルポートメモリで構成される複数のフレームメモリのそれぞれに対して表示制御を行い、この表示制御によって生じる遅延時間に応じて前記デュアルポートメモリ毎に異なるシリアルアクセスポート出力の読み出しクロックを発生する表示制御手段と、前記読み出しクロックに基づいて前記複数のフレームメモリのシリアルアクセスポートの出力を合成する映像合成手段とを備えたので、ラッチする段数を少なくすることができるという効果を奏する。

【図面の簡単な説明】

【図1】この発明の実施例1を示すブロック図である。

【図2】この発明の実施例1の映像合成回路を示す回路図である。

【図3】この発明の実施例1の動作を示すタイミングチャートである。

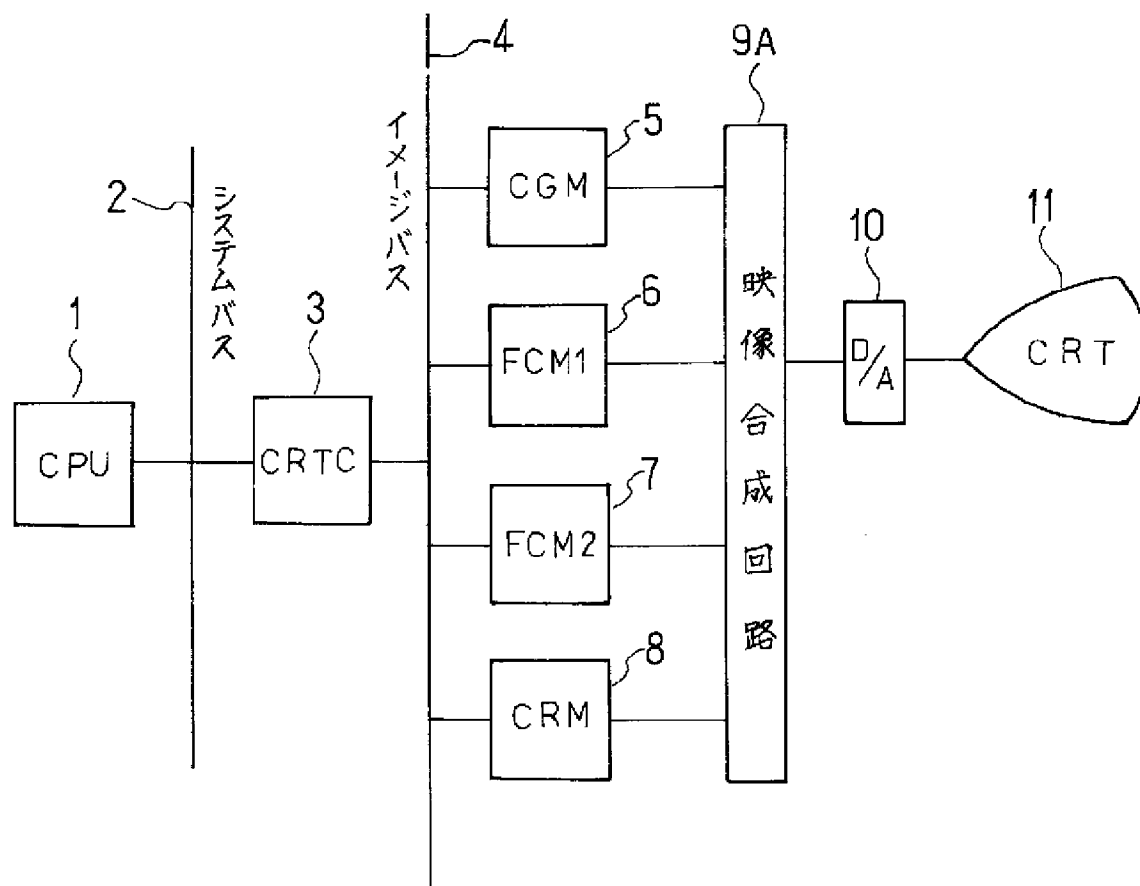
【図4】従来の画像表示装置を示すブロック図である。

【図5】従来の画像表示装置の映像合成回路を示す回路図である。

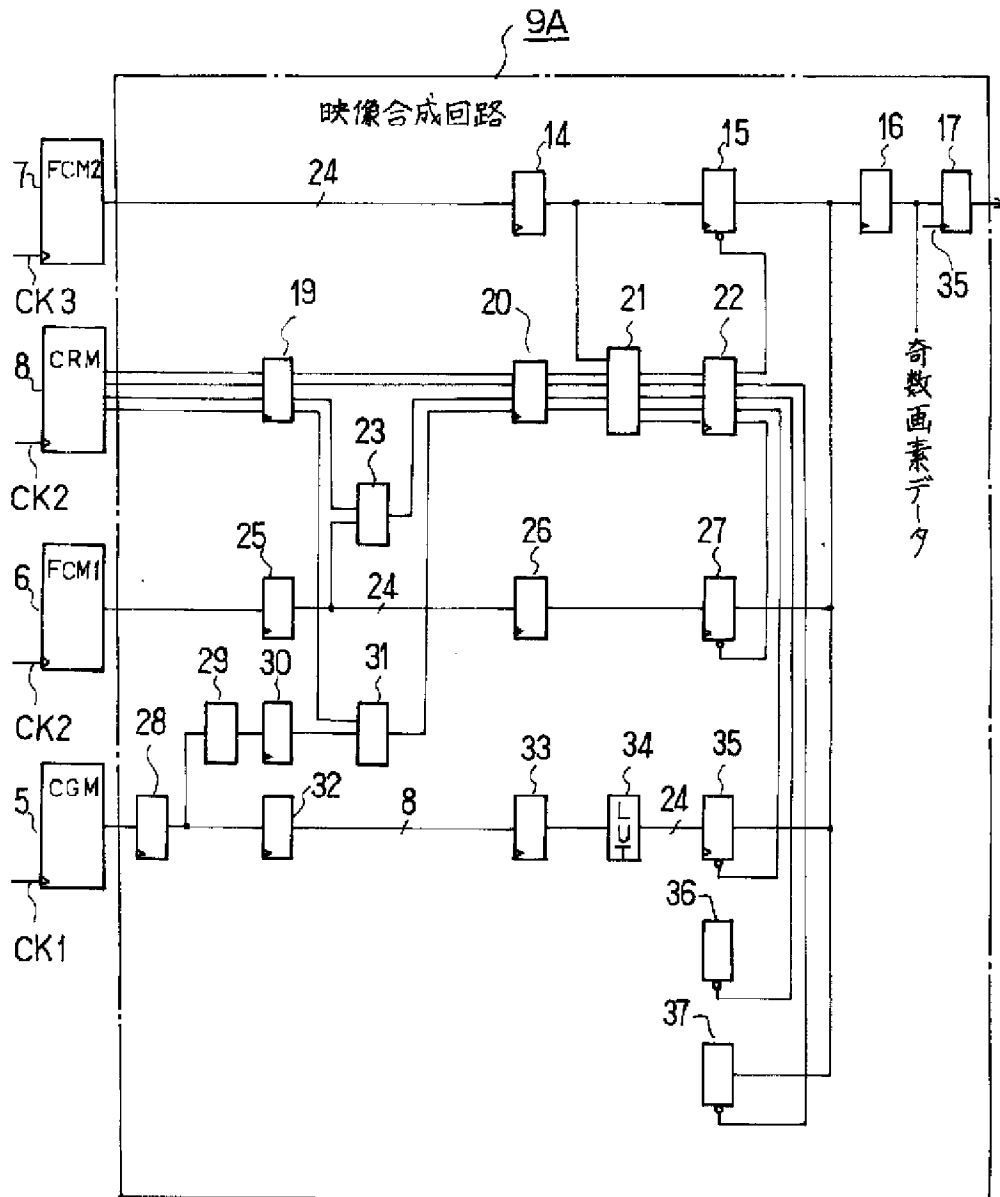
【符号の説明】

- 1 CPU
- 3 CRTコントローラ
- 5 8ビットのカラーグラフィックメモリ用デュアルポートメモリ
- 6 RGB各8ビットのフルカラーメモリ用デュアルポートメモリ
- 7 RGB各8ビットのフルカラーメモリ用デュアルポートメモリ
- 8 コントロールメモリ用デュアルポートメモリ
- 9A 映像合成回路

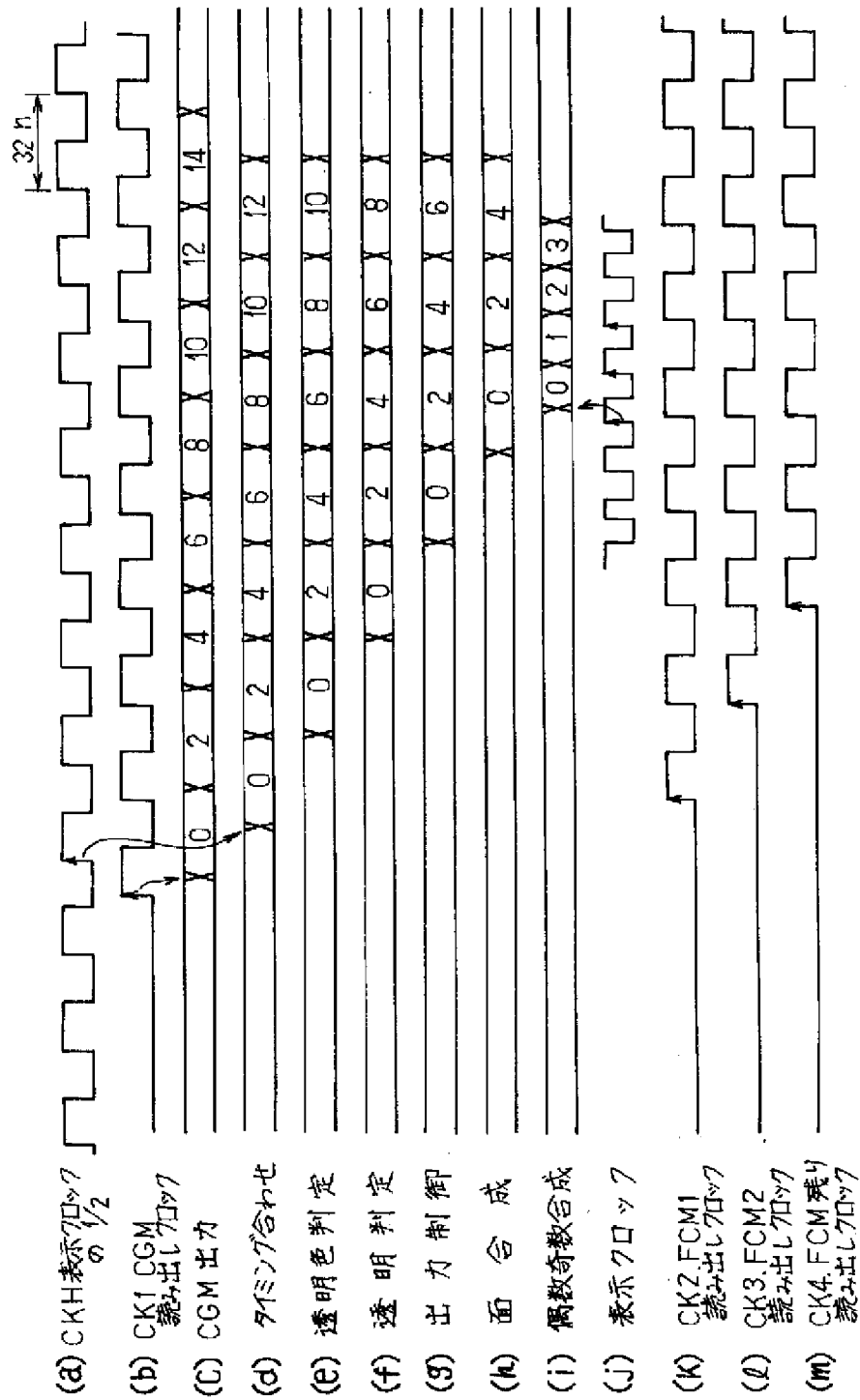
【図1】



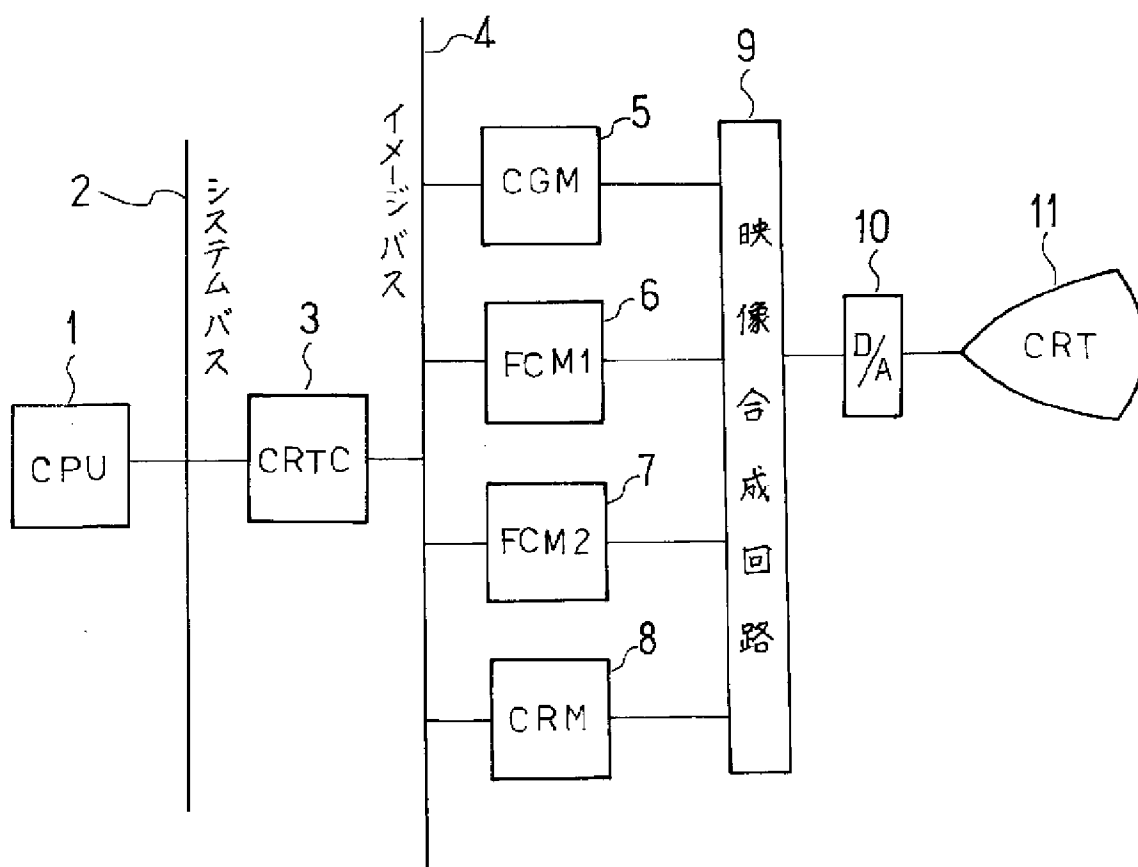
【図2】



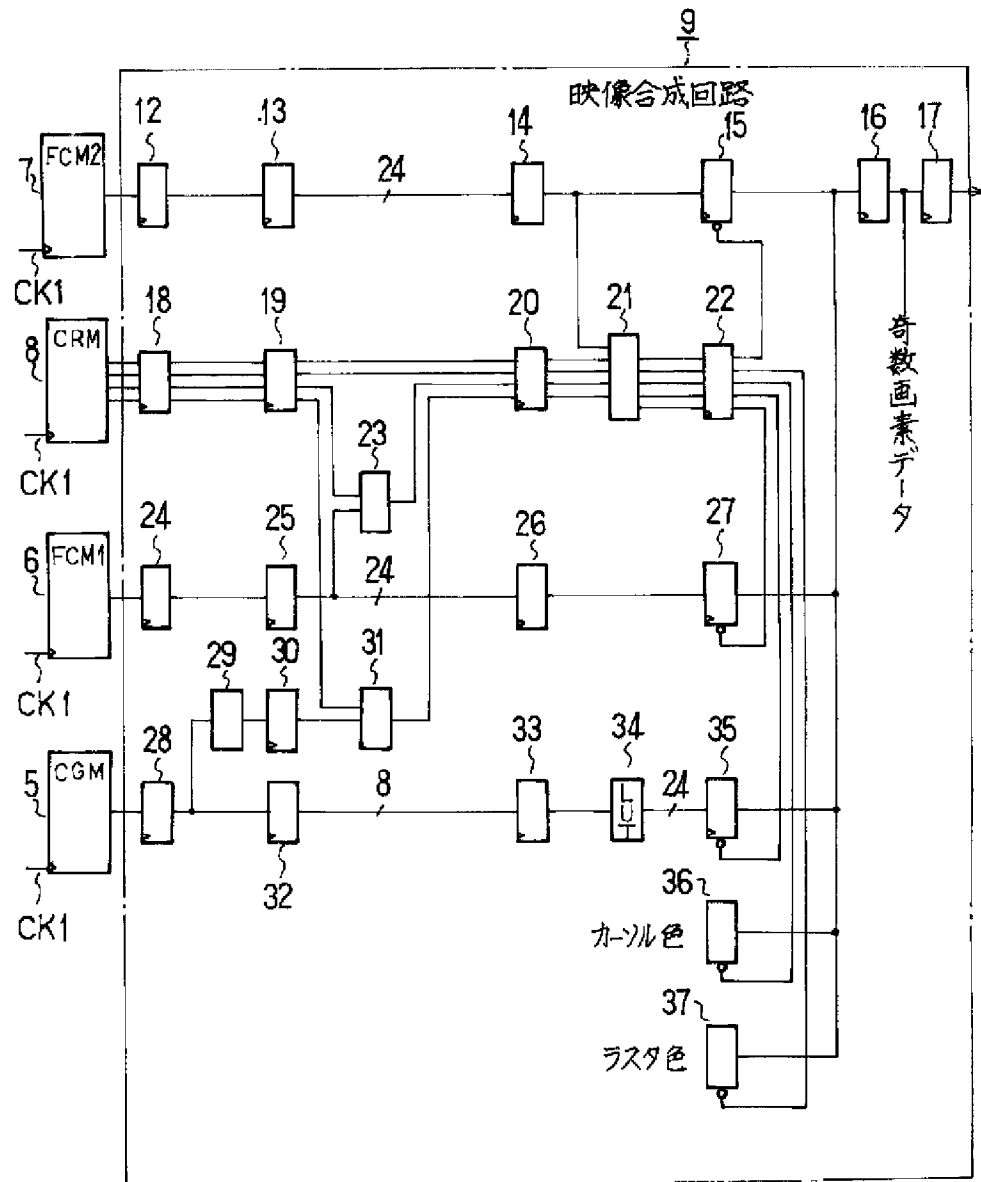
【図3】



【図4】



【図5】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-216465

(43)Date of publication of application : 27.08.1993

(51)Int.Cl. G09G 5/36

G06F 3/153

G09G 5/00

(21)Application number : 04-017866 (71)Applicant : MITSUBISHI ELECTRIC
CORP

(22)Date of filing : 03.02.1992 (72)Inventor : MATSUDA FUMIO

(54) PICTURE DISPLAY DEVICE

(57) Abstract:

PURPOSE: To reduce latch steps for adjusting the time for a synthesized parts.

CONSTITUTION: In a device for synthesizing plural faces constituted of dual port memories 5-8, since the processing such as the decision of transparent color during one clock cycle read from the dual port memories does not performed at the time of the deciding the transparent colors, pixel data read from the dual port memories are required to be delayed by means of latches 14, 15, 16.... Consequently, the pixel data not requiring the processing such as the decision of transparent colors requires the latches only to be delayed until the synthesization. By delaying the clock timing read from the dual port memories concerning with the surfaces unnecessary to be processed such as the decision of transparent colors, the delay operation of pixel data by the latches is eliminated. By reducing the number of latches, the area of a substrate is reduced and the generation of heat is suppressed.

* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]Display control is performed to each of two or more frame memories which comprise dual port memory, A display control means which generates a read clock of a serial access port output which is different for said every dual port memory according to a time delay produced by this display control, And an image display device provided with a video compositing means which compounds an output of a serial access port of two or more of said frame memories based on said read clock.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the image display device which piles up and displays two or more pictures.

[0002]

[Description of the Prior Art] The composition of the conventional image display device is explained referring to drawing 4 and drawing 5. Drawing 4 is a block diagram showing the conventional image display device, and a circuit diagram showing the image synthesis circuit of the image display device of the former [drawing 5].

[0003] In drawing 4, 1 leads CPU, three lead the system bath 2, and it is connected to CPU1, The CRT controller (CRTC) which performs generating of display timing, and drawing control, The frame memory (CGM) of the graphic side in which 5 had an 8-bit look-up table, 6 and 7 The frame memory of the full color memory plane of 8 bits each of 1-pixel RGB (FCM1 and FCM2), The frame memory of a control side with a field for 8 to display the display priority and

cursor of a pixel unit of FCM1, FCM2, and CGM (customer relationship management), The image synthesis circuit where 9 chooses FCM1, FCM2, or CGM as a pixel unit using the information on customer relationship management, the D/A converter which changes into an analog signal the digital data in which 10 was compounded, and 11 are CRT for displaying a picture. The frame memories 5-8 comprise dual port memory.

[0004]The full color memory plane of 8 bits each of 1-pixel RGB an image display device The 2nd page (FCM1, FCM2), A graphic side with an 8-bit look-up table has the 1st page (CGM), and the composite display of it can be carried out to a pixel unit by control of a cursor display as it is [that each of FCM1, FCM2, and CGM is transparent /] opaque.

[0005]CPU1 gives setting out and the drawing instruction of display timing to CRTC3 through the system bath 2. With the command of CPU1, CRTC3 generates display timing through the image bus 4, or it accesses data at FCM1 grade. The frame memories 5-8 comprise dual port memory. This dual port memory is a memory provided with the port for random access, and the port for serial accesses. In drawing 4, it has composition which connects a random access port to the image bus 4 side, and connects a serial access port to the image synthesis circuit 9 side.

[0006]From a random access port, the start address of the data which should be

come out of and made a serial access port other than the read/write access of data is specified. The data of a serial access port is read with the clock of the display system of the letter of a burst for a valid pixel number.

[0007]In drawing 5, even-pixel data flow is shown and the latches 12, 13, 16, 18, 19, 20, 22, 24, 25, 26, 27, 28, 30, 32, 33, and 35 are operating with one half of the clocks of a display pixel clock. The picture element data read from the serial access port of CGM with one half of the clocks of the display pixel clock is once latched by the latch 28, and, as for the picture element data, comparison of being a transparent color is performed by the transparent judgment part 29.

[0008]The transparent judging of the data in which the transparent color of CGM was judged is carried out by the CGM side control bit of CGM after a latch by the latch 30 further 31. This is because a CGM side control bit may be transparently specified in order to make a part of CGM side transparent, when displaying a CGM side on a window. The result to which transparent color determination of the CGM side was carried out eventually is latched by the latch 20, and is inputted into the output judgment part 21 with the transparent color determination result of FCM1 and FCM2.

[0009]The least significant bit of each R shall perform transparent color determination of FCM1 and FCM2 by 1 or 0. This is because all the data of 8 bits each (a total of 24 bits) of RGB is compared and it is almost meaningless also as

a transparent color in specification of the transparent color in the data of 8 bits each of RGB like FCM1.

[0010]The information on a 2nd page of FCM control bit, a cursor bit, a display / non-display ** of each field, and display modes (an interlace/non-interlace) other than the above-mentioned transparent decision result is inputted into the output judgment part 21. FCM1, FCM2, CGM, a cursor side, or a raster surface becomes active, and an output decision result is latched by the latch 22. An output decision result is inputted into the latches' 15, 27, 35, 36, and 37 output enable, and only a certain picture element data is latched by the latch 16. The latch 16 shows even-pixel data flow, and the latch 17 can latch the data of a display pixel unit by switching the latch's 16 output enable to a pixel unit.

[0011]Here, required latch's number of stages is considered. A display clock is set to about 65 MHz ($15.4 \text{ n a second}/(\text{pixel})$) in the display of a 1024x768-pixel non-interlace. When the setup time and the hold time (total 6 n seconds) of AS574 are satisfied, it must stop having to perform an output judging etc. in an about 9n second, when a latch is set to TTL element AS574. Since about nine kinds of information are inputted in an output judging as stated previously, processing is impossible at the random logic by a TTL element. B version (15n second) of a programmable array logic (PAL) cannot be processed, either.

[0012]Then, it decided to divide into two lines, even pixels and odd pixels, and to

process with one half of the clocks of a display clock. Thereby, what is necessary is just to perform an output judging by a pixel in about 30 n a second /, and the processing itself becomes possible at B version of PAL. Since PAL has restriction in the number of an input pin, the transparent judgment part 23 of FCM1 and the transparent judgment part 29 of CGM are made to process in the preceding paragraph further.

[0013]With the composition of drawing 5, when the number of latches (AS574) is calculated, it is as follows.

FCM1 -> 4x3x2FCM2 -- after -> 4x3x2CGM ->
x(3+3)2customer-relationship-management -> 4 composition -> 3x2 last -> 3
sum total -> 70 (piece)

[0014]

[Problem(s) to be Solved by the Invention]In the conventional image display device which was mentioned above, as shown in drawing 5, there was a problem that the number of stages to latch had to be increased.

[0015]This invention was made in order to solve the problem mentioned above, and an object of an invention is to obtain the image display device which can lessen the number of stages to latch.

[0016]

[Means for Solving the Problem]An image display device concerning this

invention is provided with a means hung up over the next.

[1]A display control means which generates a read clock of a serial access port output which is different for said every dual port memory according to a time delay which performs display control to each of two or more frame memories which comprise dual port memory, and is produced by this display control.

[2]A video compositing means which compounds an output of a serial access port of two or more of said frame memories based on said read clock.

[0017]

[Function]In this invention, display control is performed by the display control means to each of two or more frame memories which comprise dual port memory, The read clock of a serial access port output which is different for said every dual port memory according to the time delay produced by this display control is generated. Based on said read clock, the output of the serial access port of two or more of said frame memories is compounded by the video compositing means.

[0018]

[Example]

example 1. -- the composition of Example 1 of this invention is explained, referring to drawing 1 and drawing 2. Drawing 1 is a block diagram showing Example 1 of this invention, and is the same as that of a device conventionally

except image synthesis circuit 9A. Drawing 2 is a circuit diagram showing the image synthesis circuit of Example 1 of this invention. Identical codes show a same or considerable portion among each figure.

[0019]In drawing 2, 34 is a look-up table (LUT) and CGM serves as data of 8 bits each of RGB by this look-up table 34 eventually. The portion 29 judges the transparent judgment part of the transparent color of CGM, and 31 judges the transparent opacity of CGM by the transparent color determination result and the control bit for CGM to be, and 23 are portions which judge the transparent opacity of FCM1 by LSB and the control bit for FCM1 of R of FCM1. In specification of the transparent color in the data of 8 bits each of RGB like FCM1, since all the data of 8 bits each (a total of 24 bits) of RGB was compared and it was almost meaningless also as a transparent color, LSB of R was made to consider it as a transparent color 1 or 0.

[0020]21 performs the transparent opaque judgment of FCM2 by LSB and the control bit for FCM2 of R of FCM2, and it is an output judgment part which judges which fields including a raster and cursor are displayed from the transparent decision result of CGM and FCM1, and the display non-display of each field and a priority. The register in which 36 and 37 display a cursor color and a raster color, respectively, and 17 are latches who operate with a display clock.

[0021]Below, operation of Example 1 mentioned above is explained, referring to drawing 3. Drawing 3 is a timing chart which shows operation of Example 1 of this invention.

[0022]Clock CK1 which reads the picture element data of CGM is late for the clock CKH in order to carry out the mask only of the period of a valid pixel number to one half of the clocks CKH of a display clock. While processing the data in which this was read by clock CK1 when a display clock was a high speed (about 65 MHz), it happens that it cannot latch with the clock CKH. Then, as drawing 3 (d) shows, with the clock CKH, it once relatches and is carrying out. The timing of the relatched output is shown in drawing 3 (d). Henceforth, each processing progresses with the clock CKH to the field composition shown in drawing 3 (h).

[0023]Drawing 3 (d) The waveform shown in - (h) shows the timing of the output of the latch 28 of drawing 2, the latch 30, the latch 20, the latch 22, and the latch 16, respectively. Since read-out of R of FCM1 is required of the transparent opaque decision result of FCM1, it serves as timing shown by drawing 3 (k). Hereafter, the timing of the read clock of GB of R of customer-relationship-management and FCM2, FCM1, and FCM2 comes to be shown in drawing 3 (k), (l), and (m) in a similar manner, respectively. Clock CK1, CK2, CK3, and CK4 are obtained by applying four kinds of gates which become

the period validity of a request on the clock CKH, respectively. The output enable of the latch 16 of the data by which field composition was carried out is controlled, and the result latched with the display clock of drawing 3 (j) serves as timing shown by drawing 3 (i) which is a pixel unit.

[0024]Here, with the composition of drawing 2, when the number of latches (AS574) is calculated, it is as follows.

FCM1-R -> 3x2FCM1-GB -> 1x2x2FCM2-R -> 2x2FCM2-GB -- after ->
1x2x2CGM -> x(3+3)2customer-relationship-management -> 3 composition ->
3x2 last -> 3 sum total -> 39 (piece)

This will be latch's number of 56% shown by the conventional example.

[0025]By controlling the timing of the read clock from the serial access port of dual port memory to differ for every display surface, as Example 1 of this invention was mentioned above, The effect that the number of stages latched about the unnecessary data of processing until just before composition can be lessened is done so. A device can be manufactured cheaply and the low device of power consumption can be obtained.

[0026]Namely, Example 1 aims at lessening the number of stages of the latch for the timing of the portion to compound in the image display device which compounds and displays two or more fields. Since processing of transparent color determination etc. cannot be performed with the 1 cycle read clock of dual

port memory in the device which compounds two or more fields which comprise the dual port memories 5-8 when performing transparent color determination etc., It is necessary to delay the picture element data read from dual port memory by the latches 14, 15, and 16 and --. For this reason, since it was only delayed until it is compounded, the picture element data without the necessity for processings, such as a transparent judging, needed to be latched. By delaying the timing of the read clock of the dual port memory of a field without the necessity for processings, such as a transparent judging, delay processing by the latch of picture element data was made unnecessary. Therefore, the effect that a substrate area can be made small or generation of heat can be suppressed is done so by having reduced the number of latches.

[0027]

[Effect of the Invention]In this invention, display control is performed to each of two or more frame memories which comprise dual port memory as explained above, The display control means which generates the read clock of a serial access port output which is different for said every dual port memory according to the time delay produced by this display control, It had the video compositing means which compounds the output of the serial access port of two or more of said frame memories based on said read clock.

Therefore, the effect that the number of stages to latch can be lessened is done

so.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is a block diagram showing Example 1 of this invention.

[Drawing 2] It is a circuit diagram showing the image synthesis circuit of Example 1 of this invention.

[Drawing 3] It is a timing chart which shows operation of Example 1 of this invention.

[Drawing 4] It is a block diagram showing the conventional image display device.

[Drawing 5] It is a circuit diagram showing the image synthesis circuit of the conventional image display device.

[Description of Notations]

1 CPU

3 CRT controller

5 8-bit dual port memory for color graphic memories

6 Dual port memory for full color memories of 8 bits each of RGB

7 Dual port memory for full color memories of 8 bits each of RGB

8 Dual port memory for control memories

9A Image synthesis circuit